

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-314769

(43)Date of publication of application : 26.11.1993

(51)Int.Cl: G11C 11/407

(21)Application number : 04-120455

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 13.05.1992

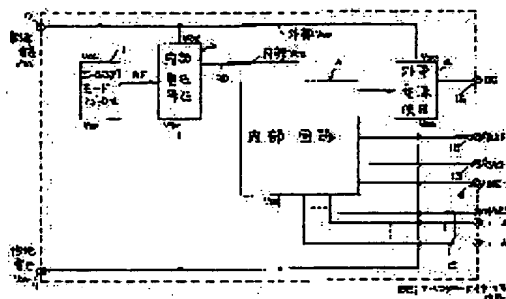
(72)Inventor : MORI SHIGERU

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor integrated circuit device provided with an internal step-down function entering unnecessarily to no aging mode for executing an aging test and entering easily and surely to the aging mode without using the timing relation of an external control signal prescribed specially.

CONSTITUTION: The semiconductor integrated circuit device is provided with an aging mode control circuit 1 detecting that external power source voltage (external Vcc) is toggled with a prescribed amplitude and a prescribed times and outputting an aging mode enable signal BE and an internal voltage step-dot circuit 2 corresponding to the aging mode enable signal BE and transmitting the voltage changing according to the change of the external source voltage (external Vcc) on the internal power source line 20 corresponding to the aging mode enable signal BE. The semiconductor integrated circuit device is moved to the aging mode only when the external source voltage is oscillated with a fixed amplitude and a fixed number of times.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

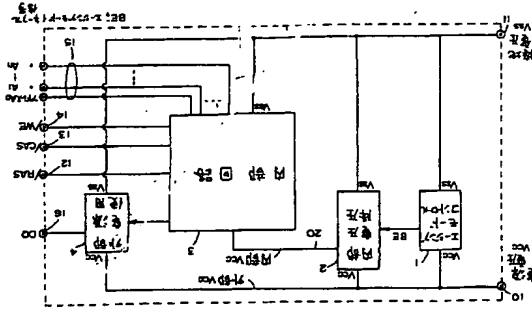
Copyright (C); 1998,2003 Japan Patent Office

特開平5-314769

(43)公開日 平成5年(1993)11月28日

(21)出願番号 特願平4-120455
(22)出願日 平成4年(1992)5月13日
(71)出願人 000006013 三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(72)発明者 森 茂
兵庫県伊丹市塩原4丁目1番地 三菱電機株式会社北伊丹製作所内
(74)代理人 弁理士 深見 久郎 (外3名)

【構成】 半導体集積回路装置は外部電源電圧（外部V_{cc}）が所定の底端で所定の頂端トグルされたことを検出してエージングモードコントロール信号B1を発生する。エージングモードコントロール回路20、このエージングモードインプット信号B1に基づいて内部電源線200上へ外部電源電圧（外部V_{cc}）の変化に準って変化する電圧を伝達する内部電圧線202を含む。この半導体集積回路装置においては、外部電源電圧が成る一定の底端以上で一定回数駆動されたときにのみエージングモードへ移行する。



c) を発生する内部電圧発生回路550を含む。基準電圧発生回路500は、外部電源電圧(外部Vcc)供給ノードと出力ノード504との間に設けられる比較的大きな抵抗値を有する抵抗素子501と、ノード504と接地電位Vssとの間に直列に設けられる、x個のダイオード後続されたnチャネルMOSトランジスタ502、…、503を含む。このダイオード後続されたMOSトランジスタ502、…、503はそれぞれしきい値電圧V_{TH}を備える。出力ノード504からは基準電圧V₀として、x・V_{TH}の電圧が発生される。

【0008】内部電圧発生回路550は、基準電圧V₀をゲートに受けるnチャネルMOSトランジスタ551と、ノード559の内部電源電圧(内部Vcc)をゲートに受けるnチャネルMOSトランジスタ552と、トランジスタ551および552の一方導通端子に結合される定電流源555と、外部電源電圧(外部Vcc)をその一方導通端子に受けかつその他方導通端子がノード557に接続されるpチャネルMOSトランジスタ553と、その一方導通端子に外部電源電圧(外部Vcc)を受け、かつその他方導通端子がノード556に接続されるpチャネルMOSトランジスタ554と、ノード557の電圧に依存して外部電源電圧(外部Vcc)をノード559へ伝達して内部電源電圧(内部Vcc)を発生するためのpチャネルMOSトランジスタ558を含む。ノード556はトランジスタ553および554のゲートに接続される。この内部電圧発生回路550は、ノード559に発生する内部電源電圧(内部Vcc)をフィードバックして基準電圧発生回路500からの基準電圧V₀と比較し、その比較結果に従ってpチャネルMOSトランジスタ558を制御することにより内部電源電圧(内部Vcc)の電圧レベルを制御する。

【0009】図19は図18に示す内部降圧回路の動作を示す波形図である。図19において、破線は内部電源電圧(内部Vcc)を示し、破線は外部電源電圧(外部Vcc)を示す。次にこの図19に示す動作波形図を参照して図18に示す内部降圧回路の動作について説明する。

【0010】外部電源電圧(外部Vcc)が0Vから所定の基準電圧V₀に到達するまでは、基準電圧発生回路500からの基準電圧V₀は外部電源電圧(外部Vcc)に近づいて変化する。V₀=x・V_{TH}であるため、トランジスタ502、…、503のいずれかがオフ状態にあり、ノード504は抵抗値501を介して充電されるためである。

【0011】内部電圧発生回路550においては、この基準電圧V₀とノード559の内部電源電圧(内部Vcc)との比較が行われる。ノード559へは、トランジスタ558を介して、電源電圧ノード10を介して与えられる外部電源電圧(外部Vcc)が伝達される。

【0012】ノード559の電圧が基準電圧V₀よりも

高くなる場合は、トランジスタ552のコンダクタンスがトランジスタ551のコンダクタンスよりも大きくなり、ノード556の電圧がノード557の電圧よりも低くなる。ノード556の電圧はトランジスタ553および554のゲートへフィードバックされる。これによりノード557の電圧がさらに上昇し、トランジスタ558がオフ状態となる。

【0013】一方、基準電圧V₀がノード559の電圧よりも高い場合には、ノード557の電圧レベルがローレベルとなり、トランジスタ558がオン状態となり、電源電圧ノード10へ伝達された外部電源電圧Vccに

よるノード559の充電が行われる。

【0014】すなわち、この内部電源電圧発生回路550は、基準電圧V₀とノード559に与えられる内部電源電圧(内部Vcc)とを等しくする機能を備える。

【0015】外部電源電圧(外部Vcc)が基準電圧V₀よりも高くなった場合には、基準電圧発生回路500からの基準電圧V₀は一定電圧(x・V_{TH})となる。したがってこの状態においては、ノード559から発生される内部電源電圧(内部Vcc)は外部電源電圧(外部Vcc)の電圧レベルの上昇にかかわらず、一定の基準電圧V₀に保持される。

【0016】一方、DRAMなどの半導体集積回路装置においては、パターニングなどの起因する初期不良をスクリーニングするために加速試験(エージング試験)を行なうことが不可欠である。この加速試験においては、半導体集積回路装置を高電圧高温の条件下で動作させ、潜在的な不良を顕在化させ初期不良を除去することが行なわれる。

【0017】この加速試験(エージング試験)を行なうためには、集積回路装置の内部回路へ高電圧を印加することが必要である。しかしながら上述のような内部降圧回路を用いた場合、内部電源電圧は所定電圧V₀よりも高くないため、内部回路のエージング試験を行なうことができない。そこで、このような内部降圧回路を備える半導体集積回路装置においてエージング試験を行なうための構成が提案されている。

【0018】図20ないし図22は、提案案されているエージング試験を実現する手法を示す図であり、たとえば日経マイクロデバイス1991年10月号の第48頁〜第52頁に示されている。図20ないし図22それぞれにおいて、破線は内部電源電圧(内部Vcc)を示し、破線は外部電源電圧(外部Vcc)を示す。

【0019】以下、この図20ないし図22に示されるエージング試験を実現する方法について説明する。

【0020】図20に示す方法においては、外部電源電圧(外部Vcc)が所定の電圧値V₀に達すると内部降圧回路のクランプ機能が作動し、内部電源電圧Vccが伝達される。

【0021】図21に示すエージング試験の実現方法は、外部電源電圧(外部Vcc)が所定の電圧V₁に到達した時点でエージング試験を行なうエージングモードに入る。エージングモードに入ると、内部電源電圧(内部Vcc)は外部電源電圧(外部Vcc)の値に等しくなる。この方法は、たとえば内部降圧回路を bypass せずに外部電源電圧をエージングモード時に内部回路へ与えることにより実現される。

【0022】図22に示す方法は、外部電源電圧(外部Vcc)が所定電圧V₁よりも高くなるとエージングモードに入る。内部電源電圧(内部Vcc)はエージングモードにおいては、外部電源電圧(外部Vcc)より(V₁-V₀)の電圧だけ低い電圧レベルを保持しながら外部電源電圧(外部Vcc)に連動して変動する。

【0023】この図20ないし図22に示すエージング試験の実現方法は、以下の共通点を含める。すなわち外部電源電圧(外部Vcc)が基準電圧V₀に到達するまでは内部電源電圧(内部Vcc)は外部電源電圧(外部Vcc)と共に上昇する。外部電源電圧(外部Vcc)が基準電圧V₀に到達すると内部降圧回路のクランプ機能により一定の基準電圧V₀の内部電源電圧が発生される。外部電源電圧(外部Vcc)がさらに高くなり、電圧V₁以上となるとエージングモードに入り、内部電源電圧(内部Vcc)は外部電源電圧(外部Vcc)に連動して上昇する。この上昇した内部電源電圧(内部Vcc)に従ってエージング試験が行なわれる。

【0024】すなわち、請求項1に係る半導体集積回路装置は、電圧ノードへ供給される第1の電源電圧から内部電源電圧を発生する内部降圧手段と、この第1の電源電圧が第2のレベルと第3のレベルとを横切って所定回数変動したか否かを判別する手段を含む。内部降圧手段は、第1の電源電圧が予め定められた第1のレベルよりも高くなった場合においても第1のレベルの電圧を内部電源電圧として発生する手段を含む。

【0025】請求項1に係る半導体集積回路装置は、さらにこの判別手段からの所定回数変動検出信号に基き、第1の電源電圧に近づいて変化する電圧へとこの内部降圧手段からの内部電源電圧を変更する手段を含む。

【0026】請求項2に係る半導体集積回路装置は、この内部電源電圧変更手段が、内部降圧手段からの内部電源電圧に第1の電源電圧に近づいて変化する電圧を重ねる手段を含む。

【0027】請求項3に係る半導体集積回路装置は、判別手段からの所定回数変動検出信号に基き、内部降圧手段からの内部電源電圧に代えて第1の電源電圧に従って変化する電圧を内部電源電圧として通過させる手段を含む。

【0028】請求項4に係る半導体集積回路装置は、第2のレベルが第1のレベルに近いレベルに設定されており、判別手段が第1の電源電圧が第2のレベルを通過したときに所定回数変動検出信号を発生する手段を含む。

【0029】請求項5に係る半導体集積回路装置は、電圧ノードへ印加される第1の電源電圧から内部電源電圧を発生する内部降圧手段と、第1の電源電圧に近づいて変化する内部電源電圧よりも低くかつ第1の電源電圧に近づいて変化する中間電圧を発生する中間電圧発生手段を含む。内部降圧手段は、第1の電源電圧が第1のレベルよりも高いときには第1のレベルの電圧を内部電源電圧として発生する手段を含む。

【0030】請求項5に係る半導体集積回路装置は、さらに、第1の電源電圧が所定回数第2のレベルと第3のレ

試験等が必要とされるときのみ内部電源電圧を昇圧することのできる半導体集積回路装置を提供することである。

【0028】この発明の他の目的は、通常の通称試験においてエージングモードに入ることのない信頼性の高い半導体集積回路装置を提供することである。

【0029】この発明のさらに他の目的は、余分のピン端子を必要とせず特定の外部制御信号の特別なタイミング関係を要求することなく確実にエージングモードに入る半導体集積回路装置を提供することである。

【0030】

【課題を解決するための手段】この発明に係る半導体集積回路装置は、更替すれば、外部電源電圧が所定の電圧で所定回数変動したときのみにエージングモードへ入る。

【0031】すなわち、請求項1に係る半導体集積回路装置は、電圧ノードへ供給される第1の電源電圧から内部電源電圧を発生する内部降圧手段と、この第1の電源電圧が第2のレベルと第3のレベルとを横切って所定回数変動したか否かを判別する手段を含む。内部降圧手段は、第1の電源電圧が予め定められた第1のレベルよりも高くなった場合においても第1のレベルの電圧を内部電源電圧として発生する手段を含む。

【0032】請求項1に係る半導体集積回路装置は、さらにこの判別手段からの所定回数変動検出信号に基き、第1の電源電圧に近づいて変化する電圧へとこの内部降圧手段からの内部電源電圧を変更する手段を含む。

【0033】請求項2に係る半導体集積回路装置は、この内部電源電圧変更手段が、内部降圧手段からの内部電源電圧に第1の電源電圧に近づいて変化する電圧を重ねる手段を含む。

【0034】請求項3に係る半導体集積回路装置は、判別手段からの所定回数変動検出信号に基き、内部降圧手段からの内部電源電圧に代えて第1の電源電圧に従って変化する電圧を内部電源電圧として通過させる手段を含む。

【0035】請求項4に係る半導体集積回路装置は、第2のレベルが第1のレベルに近いレベルに設定されており、判別手段が第1の電源電圧が第2のレベルを通過したときに所定回数変動検出信号を発生する手段を含む。

【0036】請求項5に係る半導体集積回路装置は、電圧ノードへ印加される第1の電源電圧から内部電源電圧を発生する内部降圧手段と、第1の電源電圧に近づいて変化する内部電源電圧よりも低くかつ第1の電源電圧に近づいて変化する中間電圧を発生する中間電圧発生手段を含む。内部降圧手段は、第1の電源電圧が第1のレベルよりも高いときには第1のレベルの電圧を内部電源電圧として発生する手段を含む。

【0037】請求項5に係る半導体集積回路装置は、さらに、第1の電源電圧が所定回数第2のレベルと第3のレ

レベルとを嵌切するようにトグルされたか否かを判別する判別手段と、この判別手段からの所定回数トグル検出信号に基きて、内部降圧手段からの内部電源電圧を中間電圧発生手段から中間電圧へ変更する手段を含む。

【0038】請求項6に係る半導体集積回路装置は、この第2のレベルが第1のレベルに近く設定されており、判別手段が第1の電源電圧が第2のレベルを通過したときにこの所定回数トグル検出信号を発生する手段を含む。

【0039】

【作用】請求項1、2および3に係る半導体集積回路装置においては、内部電源電圧へ与えられる電圧は、第1の電源電圧が所定回数第2のレベルと第3のレベルとを嵌切したときに外部電源電圧に連動して変化する電圧となつたが、エージングモードに入るときには、第1の電源電圧を所定回数変動させる必要があり、エージングモードに設定することができ、通常の選別試験等に於いて半導体集積回路装置がエージングモードに入るのを防止する。

【0040】請求項4に係る半導体集積回路装置においては、第1の電源電圧が第1のレベルを横切ったときに振動検出信号が発生される。したがって第1の電源電圧が第1のレベルに近いときに内部電源電圧が外部電源電圧に連動して変化する電圧となり、内部電源電圧における急激な電圧変化を緩やかにすることができ、電源線における急激な電圧変化を防止することができ、内部回路の誤動作を防止する。

【0041】請求項5に係る半導体集積回路装置においては、第1の電源電圧が所定回数所定の振幅以上でトグルされたときに内部降圧手段からの出力が中間電圧発生手段からの中間電圧に変更されて内部電源電圧へ伝達される。これにより、エージングモードに入るときには、第1の電源電圧を所定回数所定の振幅以上でトグルする必要があるが、誤って半導体集積回路装置がエージングモードに入らなことを防止する。

【0042】請求項6に係る発明においては、第1の電源電圧が第1のレベルに近いときに内部電源電圧は中間電圧に変更される。したがって、この内部電源電圧の電圧が急激に変化することが防止され、内部電源電圧において電圧スパイクなどのノイズが発生するのを防止し、内部回路の誤動作を防止する。

【0043】

【実施例】

実施例1
図1はこの発明に係る半導体集積回路装置の全体の構成を概略的に示すブロック図である。図1においては、半導体集積回路装置として半導体記憶装置であるダイナミック・ランダム・アクセス・メモリ (DRAM) が代表的に示される。

【0049】内部電圧降圧回路2は、外部電源電圧 (外部Vcc) から内部電源電圧 (内部Vcc) を発生する内部降圧機能 (ランパンプ機能) を備える内部降圧回路2と、外部電源電圧 (外部Vcc) からこの外部電源電圧 (外部Vcc) に依存して変化する電圧を発生する外部Vcc依存電圧発生回路21を含む。この内部電圧降圧回路2はエージングモードにおいて外部Vcc依存電圧発生回路21からの依存電圧を出力する。エージングモードにおいて外部Vcc依存電圧発生回路21は図2において外部Vcc依存電圧発生回路21のみに与えられるように示される。

【0050】この内部電圧降圧回路2の具体的な構成としては、後に詳細に説明するが、種々の構成が考えられる。すなわちエージングモードにおいて信号Bに依って外部Vcc依存電圧発生回路21の出力を選択して内部電源電圧20へ伝達し、エージングモードにおいて信号Bが不活性状態の場合には内部降圧回路22の出力を内部電源電圧20へ伝達する選択回路が設けられてもよい。またエージングモードにおいて信号Bに依存する外部Vcc依存電圧発生回路21からの依存電圧が内部降圧回路22からの内部降圧電圧と共に内部電源電圧20へ伝達されてもよい。次に図3に示す動作波形図を参照して図1および図2に示す半導体記憶装置の動作について説明する。

【0051】図1に示す内部回路3および外部電源使用回路4の動作はエージングモード動作そのものについては無関係である。したがってエージングモードコントロール回路1および内部降圧回路2の動作についての説明する。

【0052】外部電源電圧 (外部Vcc) が所定のレベルV_Rより高くなると、エージングリセット回路43からのリセット信号Rが“L”レベルへ立下がり、エージングモード検出回路42はリセット状態から解放される。この外部電源電圧 (外部Vcc) の電位上昇に伴って内部降圧回路22から内部電源電圧20へ与えられる内部電源電圧 (内部Vcc) が上昇する。

【0053】外部電源電圧 (外部Vcc) が所定の基準電圧V₀を超えると、内部降圧回路22の内部降圧機能により、内部電源電圧 (内部Vcc) はこの基準電圧V₀レベルに保持される。

【0054】外部電源電圧 (外部Vcc) が第2のレベルV_Sと第3のレベルV_Tを横切る毎に外部Vccトグル検出回路41はトグル検出信号を発生する。すなわち、外部Vccトグル検出回路41は、外部電源電圧 (外部Vcc) がこの第2のレベルV_Sと第3のレベルV_T以上の振幅をもって変動したときを検出する。エージングモード検出回路42はこのトグル検出信号に依ってカレント動作を実行する。

【0055】外部電源電圧 (外部Vcc) が所定回数外部電源電圧 (外部Vcc) が所定の振幅以上でトグルされたときに内部降圧回路22の出力が中間電圧発生手段からの中間電圧へ変更されて内部電源電圧へ伝達される。これにより、エージングモードに入るときには、第1の電源電圧を所定回数所定の振幅以上でトグルする必要があるが、誤って半導体集積回路装置がエージングモードに入らなことを防止する。

動すると、エージングモード検出回路42はエージングモード信号Bを“H”に立上げる。好ましくは、このエージングモード信号Bは、外部電源電圧 (外部Vcc) が第2のレベルV_Sを通過したときに発生される。外部電源電圧 (外部Vcc) が所定の電圧レベル (第1のレベル) V₀に近い状態でエージングモード信号Bを発生し、内部電源電圧の切換による変動を少なくするためである。

【0056】エージングモード信号Bに依って外部Vcc依存電圧発生回路21からの依存電圧が内部電源電圧20上に伝達される。これにより、内部電源電圧 (内部Vcc) に従って変化する。この外部電源電圧 (外部Vcc) が所定のエージング電圧に到達すると、内部電源電圧も対応のエージング電圧となり、この半導体記憶装置におけるエージング動作が実行される。

【0057】エージングモードの終了は外部電源電圧 (外部Vcc) をリセット電圧V_R以下に低下させることにより実現される。この外部電源電圧 (外部Vcc) のリセット電圧V_R以下の低下に依ってエージングモード検出回路43からのリセット信号Rが“H”に立上がり、エージングモード検出回路42がリセットされ、エージングモード信号Bは不活性状態の“L”となる。

【0058】上述のように外部電源電圧 (外部Vcc) が所定の振幅以上で所定回数変動したときのみエージングモードへ入るように構成することにより、単に外部電源電圧 (外部Vcc) を通常電源電圧レベルよりも高くした場合は選別試験においてエージングモードへ入ることがなく、内部回路3に必要以上のストレスが加わらず、信頼性が低下するのを防止することができる。

【0059】また、外部電源電圧 (外部Vcc) のトグルのみに依りエージングモードへ入るため、このエージングモード設定用の余分のピン端子が必要とせず、また信号/RAS、/CASおよび/W_{TE}の特別なタイミング関係を要求する必要もなく、容易かつ確実に必要時のみエージングモードへ入ることができる。次に各回路の詳細構成について順次説明する。

【0060】図4は、図1および図2に示すエージングモードコントロール回路のより具体的な構成を示すブロック図である。図4において、外部Vccトグル検出回路41は、外部電源電圧 (外部Vcc) を受け、その電位レベルが第3のレベルV_Tよりも高くなったときを検出する外部Vccハイレベル検出回路5と、外部電源電圧 (外部Vcc) が第2のレベルV_Sを超えたときを検出する外部Vccローレベル検出回路6と、外部Vccハイレベル検出回路5からの検出信号Aを受けるインバータ回路11と、インバータ回路11と外部Vccローレベル検出回路6からの検出信号Bとを受けるNAND型フリップフロップを含む。このフリップフロップはN

モードイネーブル信号BEが発生される。

【0064】図5は図4に示す外部Vccハイレベル検出回路5の具体的な構成を示す図である。図5において、外部Vccハイレベルを検出回路5は、外部電源電圧(外部Vcc)を供給するノード10とノードNAとの間に直列に設けられるダイオード接続されたnチャネルMOSトランジスタQ1a、Q2aおよびQ3aと、ノードNAと接地電位Vsとの間に設けられる比較的大きな抵抗値を有する抵抗R1aを含む。ノードNAには、トランジスタQ1a～Q3aがすべてオン状態の場合には、外部電源電圧(外部Vcc)より3VTH低い電圧が現われる。ここでトランジスタQ1a～Q3aのしきい値電圧をVTHとする。

【0065】外部Vccへハイレベル検出回路5はさらに、ノードN1に現れる電圧A0を受けるインバータ回路11aと、インバータ回路11aの出力を受けるインバータ回路12aを含む、インバータ回路11a、インバータ回路12aを動作電源電圧22aと共に外部電源電圧（外部Vcc）を動作電源電圧として動作する、インバータ回路11aの入力きい値は、外部電圧（外部Vcc）の1/2となるように設定される。これはプルアップ用トランジスタおよびダウン用トランジスタを同一サイズで作製することにより実現される。したがって、インバータ回路12aからのハイレベル検出信号A1は、ノードN1の電圧A0がそのときの外部電源電圧（外部Vcc）の1/2のレベルよりも高いか低いかにより“H”、“L”となる。

【0066】図6は、図4に示す外部Vccローレレベル検出回路6の具体的な構成を示すものである。図6において、外部Vccローレレベル検出回路6は、電圧ノード1と出力ノードNとの間に直列に接続されるダイオードと接続されたnチャネルMOSトランジスタQ1bおよびQ2bと、ノードNBと接点位置との間に接続されるダイオードと接続されたnチャネルMOSトランジスタQ3bと抵抗REbと、ノードNNの電圧を受ける2段のインバータ回路I1b、I2bを含む。抵抗REbは比較的大きな抵抗値を有する。したがってノードVcは、電圧ノード10へ与えられ外部電源電圧（外部Vcc）から2VTH低い電圧が得られる。ここで、トラッキングスタQ1bおよびQ2bのしきい値電圧をVTHTとする。インバータ回路I1bの入力しきい値は外部電源電圧（外部Vcc）の1/2に設定される。したがって電圧検出信号Bは、ノードNBの電位B0と外部電源電圧（外部Vcc）の2分の1のレベルとの高低に応じて“H”および“L”となる。

【0067】図7は、図4に示す外部Vccリセットレベル検出回路7の構成を示す図である。図7において、外部Vccリセットレベル検出回路7は、ダイオード接続された3個のnチャネルMOSトランジスタQ1r、Q2rおよびQ3rと、比較的大きな底流値を有する低抵抗R1を含む。トランジスタQ1r〜Q3rと抵抗R1

に、 V_{cc} は電源ノード10と接地電位 V_{ss} との間に直列に接続される。トランジスタ $Q1$ とトランジスタ $Q2$ との間の接続点 $N1$ には、外部電源電圧（外部 V_{cc} ）よりトランジスタ $Q1$ のより低い電圧 V_{TH} 低い電圧が受取れる。外部 V_{cc} をリセットレベル検出回路7は、このノード $N1$ の電圧を監視するインバータ回路11を含む。インバータ回路11の入力しきい値は外部電源電圧（外部 V_{cc} ）の1/2のレベルに設定される。

【0068】図8は図5ないし図7に示す検出回路5、6および8の動作を示す信号波図である。リセットレベル検出信号Rは、外部電源電圧（外部Vcc）がリセットレベルV_R以上となったときに“1”となる。ローレベル検出信号Bは、外部電源電圧（外部Vcc）が所定電圧の第2レベルV_S以上になったときに“1”となる。ハイレベル検出信号Aは、外部電源電圧（外部Vcc）が第3レベルV_T以上となったときに“1”となる。すなわち、検出信号A、Bは、ノードFNAおよびノードFNBの電位AおよびBがそれぞれ外部Vcc/2以上となったときに“1”となる。リセットレベル検出信号Rは、ノードCの電位/Rが外部Vcc/2以上となったときに“1”となる。これにより各外部電源電圧のハイレベル（第3のレベル）、ローレベル（第2のレベル）およびリセットレベルを正確に検出することができ、フリップフロップを含むラッチ回路により、外部電源電圧（外部Vcc）のトグルを検出することができ

【0069】図9は、図4に示す n 段のカウンタ回路8-1~8- n の構成を示す図である。カウンタ回路8-1~8- n は同一構成を備える。

【0070】図9において、1ビット2進カウンタ8は、リセット信号Rに応答してノードN01へ電源電圧V_{cc}を伝送するnチャネルMOSトランジスタQ7Cと、リセット信号Rに応答してノードN03を接地電位V_sへ放電するnチャネルMOSトランジスタQ9Cと、リセット信号Rに応答してノードN02（出力ノード）を接地電位V_sへ放電するnチャネルMOSトランジスタQ8Cと、リセット信号Rに応答してノードN04を接地電位V_sへ放電するnチャネルMOSトランジスタQ10Cを含む。トランジスタQ7Cへ与えられる電源電圧V_{cc}は外部電源電圧（外部V_{cc}）であってもよく、また内部電源電圧（内部V_{cc}）であってもよい。入力I1へ与えられる信号Cは外部電源電圧（外部V_{cc}）で動作する回路の出力であるため、外部電源電圧（外部V_{cc}）で動作させるのが好ましい。

【0071】1ビット2進カウンタ8はさらに、入力I1Nに与えられる信号Rに応答してノードN01とノードN03とを電気的に接続するnチャネルMOSトランジスタQ1Cと、入力I1Nへ与えられる信号Rを受け取るインバータ回路13Cと、ノードN03の電位に反してオン

・オプするnチャネルMOSトランジスタQ5Cと、ノードNO3と接地電位V_sとの間に設けられる容量C_{D1}と、インバータ回路13Cの出力に芯着して、トランジスタQ5CをノードNO1へ電気的に接続するため、nチャネルMOSトランジスタQ2Cを含む。

【0072】1ビット2進カウンタ8はさらに、ノードNO1の電位を反転・増幅してノードNO2へ伝達するインバータ回路11Cと、ノードNO2の信号電位を反転・増幅してノードNO1へ伝達するインバータ回路12Cを含む。インバータ回路11Cおよび12Cはラッチ動作を行う。1ビット2進カウンタ8はさらに、入力INに与えられる信号に応答してノードNO2とノードNO4とを電気的に接続するためのnチャネルMOSトランジスタQ4Cと、ノードNO4と接地電位Vssとの間に設けられる容量CI)2と、ノードNO4の電位に応じてオン・オフするnチャネルMOSトランジスタQ6Cと、インバータ回路13Cの入力に定着してノードNO2とトランジスタQ6Cとを電気的に接続するnチャネルMOSトランジスタQ3Cを含む。トランジスタQ5CおよびQ6Cは、ノードNO4およびNO3のレベルの場合に接地電位Vssレベルを伝達する。

【0073】この図9に示す1ビット2連カウンタ回路8は、nチャネルMOSトランジスタQ1C〜Q6Cと、インバータ回路IC1、IC2と、容量CD1およびCD2によって構成されるダイナミックカウンタと、内部ノードリセット用のnチャネルMOSトランジスタQ7C〜Q10Cを備える。次にこの図9に示す1ビット2連カウンタ回路8の動作をその動作を示すタイミングチャート図である図10を参照して説明する。

【0074】リセット信号Rが“1”の場合、ノードNN
Oは電源電位Vccにより“H”となり、一方ノード
NO2、NO3およびNO4は、トランジスタQ8C、
Q9CおよびQ10Cによりそれぞれ接地電位Vsに
設定される。この状態では出力ノードOUTの電位レ
ベルは“L”である。

【0075】時刻S0においてリセット値Rが“1”に立ち上がり内部ノードNO1、NO2、NO3およびNO4のリセット状態が解放される。このリセット解放時には、ノードNO1が“H”レベル、ノードNO2、NO3およびNO4は共に“L”のレベルにある。

【0076】時刻S1において入力ノードN1に与えられる信号が“1”から“11”に立上る。これに答じて、トランジスタQ1Cがオン状態となり、ノードNO1の“H”の電圧により容量CD1が充電され、ノードNO1の3つの電位が“11”となる。トランジスタQ4Cが同じONの状態となるが、ノードNO2は“1”レベルでONであり、ノードNO4の電位レベルは“2”である。インバータ回路I1CおよびI2Cはラッチ回路を構成して、

生される。第2のレベルVc2は、内部降圧回路22がランニングする第1のレベルV0に近い。したがって、図2に示すような方法に比べて、内部電圧線20における電圧変動（外部Vcc）をこの第1のレベルV0付近から電圧直（外部Vcc）までのエージング電圧まで上昇させることにより、内蔵の電圧線20上の電圧はこの外部電圧直（外部Vcc）の変動に追いついて変動し、ノイズ発生に起因する駆動動作を防止することができる。

ドNONとの間に設けられる抵抗R1と、ノードNO

平ノズキナガサハ二部ニ割レリ

と、 n チャネルMOSトランジスタQn2と、ノードNO5にそのゲートおよび一方導通端子が接続される n チャネルMOSトランジスタQn3と、トランジスタQn3の他方導通端子と接地電位Vssとの間に設けられる低抵抗R2を含む、トランジスタQn2およびQn3はダイオードとして機能し、その導通状態時にそのしきり電圧VTHNの電圧降を与え、抵抗R1およびR2は、十分大きな抵抗値を有する。ノードNO5と外部電源電圧Vcc（外部Vcc）供給ノードの間に抵抗素子R1とトランジスタQn2が直列に接続されており、ノードNO5と接地電位Vssとの間にはトランジスタQn3と抵抗R2が直列に設けられる。したがって、ノードNO5には、 $(R2 / (R1 + R2)) \cdot Vcc$ の電圧が発生する。ここでVccは外部電源電圧（外部Vcc）である。したがって、ノードNO5からの第1の基準電圧Vr1は、 $Vr1 = R2 \cdot Vcc / (R1 + R2) + VTHN$ となる。

【0105】第2の基準電圧Vr2を発生する回路は、ノードNO7と外部電源電圧（外部Vcc）供給ノードとの間に直列に接続される抵抗R1およびダイオード接続された p チャネルMOSトランジスタQp2と、ノードNO7と接地電位Vssとの間に直列に接続されるダイオード接続された p チャネルMOSトランジスタQp3と抵抗R2を含む、トランジスタQp2およびQp3はそれぞれ、そのしきり電圧|VTHP|の電圧降下を与える。この場合、ノードNO7の電圧は、 $R2 \cdot Vcc / (R1 + R2)$ となる。したがってノードNO8の電圧Vr2は、 $Vr2 = R2 \cdot Vcc / (R1 + R2) - |VTHP|$ となる。

【0106】山西城正發生回路210は、外

(0100) 中国電力、元玉田組 Z10 は C9 に、本所電

に設けられ、第1の基準電圧 V_{r1} をそのゲートに受け取るnチャネルMOSトランジスタQn4と、ノードNO9と第2の基準電圧 V_{r2} を受けるpチャネルMOSトランジスタQp4を含む。MOSトランジスタは、そのソース領域とそのゲートの間に電位障壁が大きい順電圧以上となったとき、その間に電流が流れるように構成されている。

きに導通状態となり電流を供給する。したがって、トランジスタQn4は、ノードNO9の電位が $R2 \cdot V_{cc}$ ／ $(R1 + R2)$ よりも高くなくともオフ状態となる。トランジスタQp4は、ノードNO9の電位が $R2 \cdot V_{cc}$ ／ $(R1 + R2)$ よりも低くなくともオフ状態となる。このトランジスタQn4およびQp4の機能により、ノードNO9には $R2 \cdot V_{cc}$ ／ $(R1 + R2)$ の中間電圧が安定に発生される。

【10107】選択回路212は、エージングモジュール16と、エージングモジュール16を受けるインバータ回路16と、エージングモジュール16の出力を受ける降圧回路22の発生する降圧電圧を内部電源電圧20へ伝達するためのCMOSトランジスタミッショングートを構成するチャネルMOSトランジスタを有する。エージングモジュール16の出力に応じて中間電圧発生回路210からの中間電圧を内部電源電圧20へ伝達するためのCMOSトランジスタミッショングートを構成するチャネルMOSトランジスタQp5およびQn5を含む。トランジスタQn5およびQp6のゲートへエージングモジュール16の出力が与えられ、トランジスタQp5およびQn6のゲートへインバータ回路16の出力が与えられる。インバータ回路16の出力の「1」レベルは外部電源電圧（外部Vcc）レベルである。

【0108】通常動作時（運用時）の場合には、エージングモード番号BEは“J”である。このとき、トランジスタQn5およびQp5がオフ状態となり、トランジスタQp6およびQn6がオン状態となる。したがって、内部電源線20には、内部降圧回路22からの降圧電圧が伝達される。

【1019】エージングモータ時においては、エージングモータドメイン信号B Eが「1」となり、トランジスタQ n 5およびQ P 5がオン状態、トランジスタQ P 6およびQ n 6がオフ状態となる。したがって、内部電流線20にはノードN O 9へ流れる中間電圧発生回路210からの中間電圧 $2 \cdot V_{cc} \cdot (R1 + R2) / (R1 + R2)$ が伝達される。このエージングモータ時には、内部電流線20に現われる電圧は、外部電源電圧（外部V c c）に運動して変化する。

【0110】図15は、内部電圧降圧回路のさらに他の構成を示す図である。図15において、内部電圧降圧回路2は、内部降圧回路22と、中間電圧発生回路214と、選択回路216を含む。

【0111】中間電圧発生回路214は、第1の基準電圧 V_{R1} を発生するための抵抗 $R1$ および $R2$ とダイオード接続された n チャネルMOSトランジスタ $Qn2$ および $Qn3$ と、第2の基準電圧 V_{R2} を発生するための抵抗 $R1$ 、 $R2$ およびダイオード接続された p チャネルMOSトランジスタ $Qp2$ および $Qp3$ と、第1の基準電

電圧 V_{r1} をゲートに受ける n チャネルMOSトランジスタ $Qn4$ 、第2の基準電圧 V_{r2} をゲートに受ける p チャネルMOSトランジスタ $Qp4$ と、エージングモードインデックス B をインバータ回路16を介してゲートに受ける外側電圧 V_{cc} （外部 V_{cc} ）をトランジスタ $Qn4$ へ伝送する p チャネルMOSトランジスタ $Qp50$ と、エージングモードインデックス B をゲートに受けて接地電位 V_{ss} をトランジスタ $Qp4$ へ伝送する n チャネルMOSトランジスタ $Qn50$ を含む。この中間電圧発生回路214は、エージングモードインデックス B によりその出力状態が制御されるクロックDCMOS構成を備える。

【0112】 選別回路216は、エージングモジュールネーブル番号Bに等若び内部部装回路22の出力を内蔵電源線20へ伝達するためのCMOSTランジスタQn6を含むオンゲートを構成するチャネルMOSTランジスタQp6およびチャネルMOSTランジスタQn6を含ね、トランジスタQP6のゲートにエージングモジュールネーブル番号Bを与えられ、トランジスタQn6のゲートにインバータ回路18の出力が与えられる。

【0113】エージングモードイネーブル信号BEが“L”の状態では、トランジスタQ₅およびQ₆が共にオフ状態となり、中間電圧発生回路214は中間電圧の発生が禁止される。一方、選択回路216では、トランジスタQ₅およびQ₆が共にオン状態となる。これにより、内部降圧回路22からの降圧電圧が、内部電圧線20へ伝達される。

【0114】エーゼンゲルグエーグに於いて、エーゼンゲルグのモーターケーブルの信号は「1」にある状態において、は、トランススタクタQ P 50およびQ n 50がオン状態、トランススタクタQ P 6およびQ n 6がオフ状態となる。これにより中間電圧発生回路2 1 4は所定の中間電圧を発生して内部電圧20へ与える。トランススタクタQ P 6およびQ n 6は共にオフ状態であるため、内部電圧20への出力は内部電圧20へ直接伝達されない。

【0115】実施例4

図4に示す外部Vcのハイレベル、ローレベルおよびリセットレベルを検出するための回路はそれぞれ図5、図6および図7に示すようにそれぞれ個別の回路で構成されるように説明している。しかしながら、この3つのレベル検出回路は1つの回路構成で実現することでもできる。

【0116】図16は外部Vccレベルが樹山回路の他の構成を示す図である。図16において、外部Vccレベルが樹山回路は、外部電源電圧(外部Vcc)供給ノード110と接地電位Vssとの間に直列に接続される、3段のダイオード接続したnチャネルMOSトランジスタのQ7、Q8およびQ9と大きな抵抗値を有する抵抗R5を含む。抵抗R5の抵抗値は十分大きいため、このトランジスタQ7、Q8およびQ9はそれぞれ

